

日 本 国 特 許 庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年 1月25日

出 願 番 号

Application Number:

特願2001-017071

出 願 人

Applicant(s):

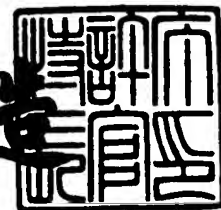
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出 証 采 号 出 証 姓 2001-3084636

【書類名】 特許願

【整理番号】 A000006608

【提出日】 平成13年 1月25日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 29/00

【発明の名称】 信号処理装置および信号処理方法

【請求項の数】 8

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

 【氏名】 向井 学

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

 【氏名】 和久津 隆司

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

 【氏名】 三ッ木 淳

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

 【氏名】 竹田 大輔

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

 【氏名】 井上 薫

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研

究開発センター内

【氏名】 富澤 武司

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝研
究開発センター内

【氏名】 久保 俊一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号処理装置および信号処理方法

【特許請求の範囲】

【請求項 1】

無線通信の信号処理装置において、

信号処理用のリソースとしてのプロセッサであって、所要の信号処理を信号処理内容に応じて分担させるべく、リソース管理機能を有すると共に、このリソース管理機能により分担を指定された処理をプログラムに基づいて実施する少なくとも一つの汎用プロセッサと、

信号処理用のリソースとしての演算処理用回路であって、所定の機能に基づいて演算処理することにより所要の演算結果を得るものであり、前記汎用プロセッサによるリソース管理機能により分担指定を受けた処理についてその演算処理を実施する信号処理ユニットと、

を備えたことを特徴とする信号処理装置。

【請求項 2】

無線通信の信号処理装置であって、

所要の信号処理を信号処理内容に応じて実施させるためのプログラムを保持した第 1 のメモリと、

回路構成を定めるための回路構成記述を保持した第 2 のメモリと、

信号処理用のための回路構成組み替え可能な演算処理回路であって所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供するプログラマブルロジックデバイスと、

前記第 1 のメモリのプログラムに従い、前記第 2 のメモリの回路構成記述を選択して前記プログラマブルロジックデバイスに与えると共に、当該プログラマブルロジックデバイスの演算処理実施を制御するプログラムシーケンサと、
を備えたことを特徴とする信号処理装置。

【請求項 3】

無線通信の信号機能を担う信号処理装置であって、

所要の信号処理を信号処理内容に応じて実施させるためのプログラムを保持し

た第 1 のメモリと、

回路構成を定めるための回路構成記述を保持した第 2 のメモリと、

信号処理のための回路構成組み替え可能な演算処理回路であって所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供するプログラマブルロジックデバイスと、

信号処理にかかわる所要の各種処理プログラムを実行するプロセッサであって、モデムとしての所要の信号処理を、与えられる指示に従って実行するプロセッサと、

信号処理内容に応じて前記プログラマブルロジックデバイスおよびプロセッサに分担させるべく、前記第 1 のメモリのプログラムに従い演算処理の分担を決定すると共に、この決定に従い、前記第 2 のメモリの回路構成記述を選択してプログラマブルロジックデバイスに与え、且つ、当該プログラマブルロジックデバイスの演算処理実施を制御すると共に、前記プロセッサに対しては当該プロセッサに分担させる処理について実施の指示を与えるプログラムシーケンサと、を備えたことを特徴とする信号処理装置。

【請求項 4】

請求項 2 または 3 いずれか 1 項記載の信号処理装置において、

前記第 1 のメモリの保持するプログラムの演算内容に応じて前記プログラマブルロジックデバイスの演算回路構成を変化させることを特徴とする信号処理装置。

【請求項 5】

請求項 1 または 2 または 3 いずれか 1 項記載の信号処理装置において、

前記プロセッサは自己と外部との間でデータ授受を行うためのレジスタアレイを有し、前記信号処理ユニットまたはプログラマブルロジックデバイスからデータを当該レジスタアレイに直接書き込み可能とすることを特徴とする無線信号処理装置。

【請求項 6】

無線通信のモデム機能を得るための信号処理方法において、

汎用プロセッサと信号処理専用の演算処理用回路であって所定の機能に基づい

て演算処理することにより所要の演算結果を得る信号処理ユニットとを用い、これら汎用プロセッサおよび信号処理ユニットにはモデムとしての所要の信号処理を信号処理内容に応じて分担させるべく、リソース管理を実施して、このリソース管理により分担を指定された処理についてプログラム対応に実施させることを特徴とする信号処理方法。

【請求項 7】

無線通信の信号処理機能を担う信号処理方法において、

信号処理用のための回路構成組み替え可能な演算処理回路であって所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供するプログラマブルロジックデバイスと、回路構成を定めるための回路構成記述を保持したメモリとを用い、モデムとしての所要の信号処理を信号処理内容に応じて実施させるためのプログラムに従い、前記第 2 のメモリの回路構成記述を選択してプログラマブルロジックデバイスに与えると共に、当該プログラマブルロジックデバイスの演算処理実施を制御することにより信号処理内容を所望に変更することができるようにしたことを特徴とする信号処理方法。

【請求項 8】

無線通信の信号処理方法において、

信号処理用のための回路構成組み替え可能な演算処理回路であって所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供するプログラマブルロジックデバイスと、回路構成を定めるための回路構成記述を保持したメモリと、信号処理にかかわる所要の各種処理プログラムを実行するプロセッサであって、所要の信号処理を、与えられる指示に従って実行する汎用プロセッサとを用い、

信号処理内容に応じて前記プログラマブルロジックデバイスおよび汎用プロセッサに処理を分担させるべく、演算処理の分担を決定すると共に、この決定に従い、前記メモリの回路構成記述を選択してプログラマブルロジックデバイスに与え、且つ、当該プログラマブルロジックデバイスの演算処理実施を制御すると共に、前記汎用プロセッサに対しては当該プロセッサに分担させる処理についての実施の指示を与えることにより、所要の信号処理を分担処理させるようにしたこ

とを特徴とする信号処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は無線通信端末を構成する信号処理装置および信号処理方法に関する。

【0002】

【従来の技術】

近年移動体通信の分野では、伝送されるデジタル情報のレートが急速に向上し、それに伴う移動通信システムの規格変更も頻繁になされている。このような状況下における移動端末の無線機の設計開発サイクルはますます短くなり、頻繁な回路設計変更が必要となっている。

【0003】

無線送受信機のベースバンド部の設計においては、無線信号に近い部分、すなわち、サンプリングされた信号をデジタル処理したり、伝送データを変調してベースバンド信号を生成する部分の信号処理回路、いわゆるモデム部は、処理量が多く、遅延時間の制限等、要求されるスペックも厳しいことなどから、仕様変更の度に設計をし直す必要がある。

【0004】

そして、従来、この部分は処理速度の面から主に論理回路により回路設計がなされているが、論理回路による端末モデム設計の頻繁な変更は開発コストを押し上げ、また開発自体に時間がかかる要因となっていた。

【0005】

一方、DSP（デジタルシグナルプロセッサ）等のプログラマブルデバイスは、ソフトウェアによる開発が可能であり、設計変更等には柔軟に対応できる。しかし、広帯域無線通信信号の様に、高速で複雑な処理が必要とされる信号処理にはまだまだ処理速度が足りない状況である。

【0006】

さらに、従来の無線通信LSIでは、1つの汎用のCPU（プロセッサ）が無線端末全体を制御しており、CPUに要求される能力と信号処理の内容が必ずし

も一致しておらず、設計開発上の問題を引き起こしていた。

【0007】

【発明が解決しようとする課題】

このように、無線端末用の信号処理装置は、その開発や設計変更に当たって、従来の論理回路による回路設計では、設計変更に対して時間やコストが掛かり過ぎる問題があり、また、プログラマブルデバイスによる処理では処理能力が不足しており、これらを解決する必要があるという課題を抱えている。

【0008】

さらに、従来の無線通信端末では、1つのCPUが端末全体を制御していたために、頻繁な割り込み処理等によりCPUにおける信号処理効率の低下を招いていた。

【0009】

また、CPU上で処理されるプログラムはそれぞれ応答速度、演算量等が異なり、これらを1プロセッサ上に載せることで、設計開発効率を著しく低下していた。

【0010】

そこで、この発明の目的とするところは、信号処理効率が高く、しかも、設計変更に対して柔軟に対応できて設計開発効率の向上を図ることができるようにした信号処理装置を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するため、本発明は次のように構成する。

【0012】

[1] 第1には、無線通信の信号処理装置において、

信号処理用のリソースとしてのプロセッサであって、所要の信号処理を信号処理内容に応じて分担させるべく、リソース管理機能(2)を有すると共に、このリソース管理機能により分担を指定された処理をプログラムに基づいて実施する少なくとも一つの汎用プロセッサ(11)と、

信号処理用のリソースとしての演算処理用回路であって、所定の機能に基づい

て演算処理することにより所要の演算結果を得るものであり、前記汎用プロセッサに（１１）によるリソース管理機能（２）により分担指定を受けた処理についてその演算処理を実施する信号処理ユニット（１２）とを備える。

【 0 0 1 3 】

このような構成において、汎用プロセッサおよび信号処理ユニットには所要の信号処理を信号処理内容に応じて分担させるべく、汎用プロセッサによるリソース管理を実施し、このリソース管理により分担を指定された処理について所定の機能に基づいた信号処理を実施させる。

【 0 0 1 4 】

この結果、複雑で汎用プロセッサにての処理では時間を要する信号処理については信号処理専用の演算処理用回路である信号処理ユニット（１２）を用いて処理させ、その他の処理は汎用プロセッサ（１１）に処理させるようになるから、高速処理が可能で、しかも、汎用プロセッサ（１１）と信号処理専用の信号処理ユニット（１２）を用いることから処理内容変更にも柔軟に対応できるようになり、設計変更に対しても容易に対応できて短時間に新製品開発をすることができるようになる。

【 0 0 1 5 】

[2] 第 2 には、無線通信の信号処理装置であって、

所要の信号処理を信号処理内容に応じて実施させるためのプログラムを保持した第 1 のメモリ（７４）と、

回路構成を定めるための回路構成記述を保持した第 2 のメモリ（７１）と、

信号処理用のための回路構成組み替え可能な演算処理回路であって所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供するプログラマブルロジックデバイス（７３）と、

前記第 1 のメモリ（７４）のプログラムに従い、前記第 2 のメモリ（７１）の回路構成記述を選択してプログラマブルロジックデバイス（７３）に与えると共に、当該プログラマブルロジックデバイス（７３）の演算処理実施を制御するプログラムシーケンサ（７２）とを備える。

【 0 0 1 6 】

このような構成においては、回路構成組み替えが可能なプログラマブルロジックデバイス（73）と、このプログラマブルロジックデバイス（73）の回路構成を定めるための回路構成記述を保持したメモリ（71）とがあり、例えばモデム機能などといった所要の信号処理を信号処理内容に応じて実施させるためのプログラムに従い、前記第2のメモリ（71）の回路構成記述を選択してプログラマブルロジックデバイス（73）に与えるようにすると共に、当該プログラマブルロジックデバイス（73）の演算処理実施を制御することにより、信号処理内容を所望に変更することができるようになる。

【0017】

プログラマブルロジックデバイス（73）は所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供することができるので、演算内容はプログラムによって所望に変更可能であり、演算はハードウェアロジックで実行するので演算処理が高速である。従って、例えば、無線通信のモデム機能を担う信号処理といったように、所要の信号処理を行うに当たって、高速処理が可能で、しかも、処理内容変更にも柔軟に対応できるようになり、設計変更に対しても容易に対応できて短時間に新製品開発をすることができるようになる。

【0018】

[3] 第3には、無線通信の信号機能を担う信号処理装置であって、所要の信号処理を信号処理内容に応じて実施させるためのプログラムを保持した第1のメモリ（74）と、

回路構成を定めるための回路構成記述を保持した第2のメモリ（74）と、

信号処理のための回路構成組み替え可能な演算処理回路であって所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供するプログラマブルロジックデバイス（73）と、

信号処理にかかわる所要の各種処理プログラムを実行するプロセッサであって、モデムとしての所要の信号処理を、与えられる指示に従って実行するプロセッサ（75）と、

信号処理内容に応じて前記プログラマブルロジックデバイス（73）およびプ

ロセッサ（７５）に分担させるべく、前記第１のメモリ（７４）のプログラムに従い演算処理の分担を決定すると共に、この決定に従い、前記第２のメモリ（７１）の回路構成記述を選択してプログラマブルロジックデバイス（７３）に与え、且つ、当該プログラマブルロジックデバイス（７３）の演算処理実施を制御すると共に、前記プロセッサ（７５）に対しては当該プロセッサに分担させる処理について実施の指示を与えるプログラムシーケンサ（７２）とを備えたことを特徴とする。

【 0 0 1 9 】

このような構成においては、回路構成組み替えが可能なプログラマブルロジックデバイス（７３）と、このプログラマブルロジックデバイス（７３）の回路構成を定めるための回路構成記述を保持したメモリ（７１）とがあり、更には、信号処理にかかわる所要の各種処理プログラムを実行する汎用のプロセッサ（７５）がある。

【 0 0 2 0 】

そして、例えば、無線通信のモデム機能といった所要の機能を担うべく所要の信号処理をするにあたっては、プログラムシーケンサ（７２）は信号処理内容に応じて前記プログラマブルロジックデバイス（７３）および汎用プロセッサ（７５）に処理を分担させるべく、演算処理の分担を決定すると共に、この決定に従い、前記メモリの回路構成記述を選択してプログラマブルロジックデバイス（７３）に与え、且つ、当該プログラマブルロジックデバイス（７３）の演算処理実施を制御すると共に、前記汎用プロセッサ（７５）に対しては当該プロセッサに分担させる処理についての実施の指示を与えることにより、所要の信号処理を分担処理させて実施する。

【 0 0 2 1 】

この結果、複雑で汎用プロセッサ（７５）にての処理では時間を要する信号処理については信号処理専用の演算処理用回路であるプログラマブルロジックデバイス（７３）を用いて処理させ、その他の処理は汎用プロセッサ（７５）に処理させるように制御できるから、高速処理が可能で、しかも、汎用プロセッサ（７５）と信号処理専用のプログラマブルロジックデバイス（７３）を用いることか

ら処理内容変更にも柔軟に対応できるようになり、設計変更に対しても容易に対応できて新製品開発の時間短縮を図ることができるようになる。

【 0 0 2 2 】

〔 4 〕 また、上記〔 2 〕 項または〔 3 〕 項いずれかの構成において、前記第 1 のメモリ（ 7 4 ， 1 1 - 1 ） の保持するプログラムの演算内容に応じて前記プログラマブルロジックデバイス（ 7 3 ， 1 1 - 4 ） の演算回路構成を変化させることを特徴とする。

【 0 0 2 3 】

プログラマブルロジックデバイス（ 7 3 ， 1 1 - 4 ） は、第 2 のメモリ（ 7 1 ） の回路構成記述に基づき、演算回路構成を変化させることができる。従って、第 1 のメモリ（ 7 4 ） に格納されたプログラム対応にプログラマブルロジックデバイス（ 7 3 ， 1 1 - 4 ） の演算回路構成を変化させることで、必要とする処理専用のハードウェア構成に組み替えることによる演算処理の能率向上が図れる。

【 0 0 2 4 】

〔 5 〕 また、上記〔 1 〕 項から〔 3 〕 項いずれかの構成において、前記プロセッサ（ 1 1 ） は自己と外部との間でデータ授受を行うためのレジスタアレイ（ 1 1 a ） を有し、前記信号処理ユニット（ 1 2 ） またはプログラマブルロジックデバイス（ 7 3 ） からデータを当該レジスタアレイ（ 1 1 a ） に直接書き込み可能とすることを特徴とする。

【 0 0 2 5 】

この構成によれば、プロセッサ（ 1 1 ） は自己の備えるレジスタアレイ（ 1 1 a ） を介して外部とデータの授受が行えると共に、信号処理ユニット（ 1 2 ） またはプログラマブルロジックデバイス（ 7 3 ） から、それらの出力するデータを当該レジスタアレイ（ 1 1 a ） に直接書き込み可能である。そのため、CPU（ 1 1 ） はデータの授受をこのレジスタアレイ（ 1 1 a ） からの読み出し／書き込みで実現できるから、信号処理ユニット（ 1 2 ） またはプログラマブルロジックデバイス（ 7 3 ） とのデータ授受を、信号処理ユニット（ 1 2 ） またはプログラマブルロジックデバイス（ 7 3 ） の現在の状態を気に掛けずに実施できるようになり、その分、処理の高速化が図れるようになる。

【 0 0 2 6 】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して詳細に説明する。本発明は、高速処理が可能でしかも、端末構成の再構築が可能な無線端末のモデム用信号処理装置を提供する。携帯電話機などの無線端末はLSI化した電子部品を用いて小型化を図るが、実用化されている無線端末LSI内にはプロセッサやメモリ、ロジック回路などが実装されており、これらプロセッサ、メモリ、ロジック回路は、無線信号処理、プロトコル処理、端末制御、マンマシンインターフェース等様々な処理を実行するためのリソースであって、無線端末を用いた通信は、これらリソースによる処理により可能になっている。

【 0 0 2 7 】

本発明では、このリソースを適応的に制御できるようにすることで、無線端末上の限られたリソースを有効に使用することができるようにし、また、そのマネージメント方法を変化させることで、使用条件の変化に伴う端末性能の変更、システム変更への対応等を可能にする。

【 0 0 2 8 】

以下、詳細を説明する。本発明は、端末構成を容易に再構築可能にする無線端末に用いられる信号処理装置を提案するが、本発明の信号処理装置を用いることにより、無線端末の機能変更、仕様変更に即応でき、異なる無線システム間での移動によるハンドオーバを容易に実現可能にする無線端末を提供可能にする。

【 0 0 2 9 】

図1は、本発明の無線信号処理装置が搭載されて構成される端末構成再構築可能な無線端末100の構成例を示すブロック図であって、当該無線端末100は図に示すように、無線信号の送受信を行う無線部1と、端末リソースのコントロールを行うリソースマネージャ2と、無線信号及びデータを処理するリソース3と、データ、プログラム、モジュール等の情報を記憶する記憶装置4（例えば、ハードディスク等の外部記憶装置）とから構成されている。

【 0 0 3 0 】

そして、これらのうち、リソースマネージャ2とリソース3部分が本発明にお

ける信号処理装置10を構成する。リソース3は無線信号とデータの処理をするに必要な各機能要素を指しており、リソースマネージャ2は当該リソース3の管理制御を司るもので、このリソースマネージャ2による管理制御を受けることにより、必要な無線信号処理やデータ処理をリソース3が実施可能にするものである。

【0031】

本発明の無線信号処理装置は、このうちのリソース3の部分をソフトウェア変更、ロジック回路使用方法の変更、もしくはその両方により、得られる機能を所望に変更できるようにしたものである。

【0032】

リソースマネージャ2のコントロールのもとに、リソース3の部分をソフトウェアあるいはロジック回路の使用方法的更新によって機能を所望に変更できる構成とするため、本発明の無線信号処理装置はその構成要素であるリソースマネージャ2とリソース3のうち、リソース3部分はプロセッサ、メモリ、ロジック回路にて構成してあり、これらは例えば、LSI（大規模集積回路）化して構成してある。

【0033】

すなわち、LSI内に形成されたプロセッサ、メモリ、ロジック回路は、無線信号処理、プロトコル処理、端末制御、マンマシンインターフェース等様々な処理を実行するためのリソースとなるものであり、ソフトウェア処理で分担させても支障のない部分は汎用のプロセッサとメモリにより、また、処理スピードが要求される部分は信号処理演算専用のプロセッサもしくはハードウェアロジックで実現するが、ここで採用している信号処理演算専用のプロセッサの場合は、ソフトウェアに従ってリソースマネージャ2のコントロールのもとに、所要の信号処理のための演算を行い、また、ロジック回路の場合は当該ハードウェアロジック部分は目的の処理を実現する回路構成を、リソースマネージャ2のコントロールのもとに、切り替えにより高い自由度を以て組み替えることができる構成である。そして、無線端末における通信は、これらリソースにおける処理を経ることにより実現されるようになっている。

【 0 0 3 4 】

このリソースを適応的に制御することで、無線端末上の限られたリソースを有効に使用することができ、また、そのマネージメント方法を変化させることで、使用条件の変化に伴う端末性能の変更、システム変更への対応等が高い自由度を以て可能となる。

【 0 0 3 5 】

なお、ここではリソースマネージャを、CPU上で動作するプログラムの形態で記述しているが、DSP上あるいはロジック回路によるシーケンサによっても実現可能である。

【 0 0 3 6 】

(第 1 の実施形態)

図 2 は、本発明に係る第 1 の実施形態としての無線信号処理装置 1 0 の構成を示すブロック図である。本実施例の無線信号処理装置 1 0 における前記リソース 3 部分は、図 2 に示すように、少なくとも、マイクロプロセッシングユニット (CPU) 1 1 と、信号処理ユニット (SPU) 1 2 と、メモリ 1 3 および外部インターフェース 1 4 とから構成される。

【 0 0 3 7 】

これらのうち、SPU 1 2 は前記ロジック回路において担う機能を実現するために設けたものであって、信号処理に特化したプログラマブルな専用プロセッサであり、プログラムで定まる所定の信号処理を実施することができる。

【 0 0 3 8 】

本発明の無線信号処理装置 1 0 は、周波数変換及びサンプリングされた信号、あるいは周波数変換、サンプリング及びディジタル信号処理を受けた無線受信信号に対して適宜なる処理を施し、無線端末 1 0 0 の構成要素である後段側のヒューマンインターフェース、音声／画像コーデック、データ処理部へ伝送情報を伝える能力を持つ。また、上記後段側のヒューマンインターフェース、音声／画像コーデック、データ処理部から伝えられた伝送情報に適正な処理を施して変調信号を生成する能力を持つ。

【 0 0 3 9 】

そのために、図2におけるCPU11は、汎用のプロセッサであって、予め与えられたプログラムに則り処理を実行する手段となっており、与えられたプログラムの内容対応に自ら信号処理を施すことができる一方、信号処理ユニット12に対し、コマンド及びデータを伝送して高度な演算処理の制御を行うことができるようになっている。また、逆にCPU11はSPU12からのコマンド、あるいはトリガに従って処理内容を変更することが可能に構成されている。

【0040】

SPU12は、上述したように信号処理に機能を特化したプロセッサであって、メモリ13及び外部インターフェース14と接続し、処理すべき信号あるいは処理された信号の送受を行う機能を有する。

【0041】

このSPU12の有する具体的処理内容の例としては、“相関演算”、“複素演算”、“最大値検出”、“メモリのアドレス変換”、“シーケンサ”、“高速な入出力処理”、“累積加算”、“関数演算”などがあげられ、これらの処理を含み、複雑かつ高速な無線信号の信号処理を行うことができるようになっている。

【0042】

このような構成をとることで、柔軟で高機能な無線通信機を実現することが可能となる。また、本実施例の別の構成例として、信号処理ユニット12を複数用いて構成される無線信号処理装置が考えられる。このような構成とすることで、更に複雑な信号処理を高速に処理することが可能となる。

【0043】

図12は本発明の無線信号処理装置10を用いて構成した携帯無線端末装置100の一実施例を示すブロック図である。図に示す通り、本実施例の無線信号処理装置10の部分は、DSP10-1、10-2、CPU10-5を含む複数のプロセッサと、ロジック回路10-3と、メモリ10-4から構成され、少なくとも1つのプロセッサ上（例えばCPU10-5上）に搭載されたリソースマネージメントソフトウェアからの指示により、CPU、DSP（デジタル・シグナル・プロセッサ；信号処理用のプロセッサ）内の信号処理内容及びロジック回

路 10-3 の状況を切り替えることで端末機能を再構築可能な構成となっている。

【0044】

無線信号処理装置 10 を用いた無線端末 100 は、この無線信号処理装置 10 に加えて、無線部 10-6、インターフェース 10-7、メモリ 10-8、CPU 10-9、スピーカ／マイクロフォン 10-10、MPEG インターフェース 10-11、USB インターフェース 10-12、端末機構（キー、ディスプレイ等）10-13、バス 10-14 から構成されている。

【0045】

無線信号処理装置 10 の部分の構成要素である DSP 10-1、10-2 およびロジック回路 10-3 は上述した SPU 12 に該当し、CPU 10-5 は上述した CPU 11 に該当し、また、メモリ 10-4 は、上述したメモリ 13 に該当する。

【0046】

本構成による具体的な処理例を挙げる。一例として、本実施例の無線信号処理装置が CDMA システムに適用された場合を想定する。更にロジック回路 10-3 に逆拡散処理を行う回路が複数実装されており、CPU 10-5 からのリソースマネージメントで制御されるものとする。

【0047】

CDMA システムでは、情報の送受を行うためには、マルチパス伝送に応じたフィンガタイミングで動作する RAKE 受信機が必要であるが、マルチパスタイミングが変動する移動環境を考えると、周期的にフィンガタイミングをサーチする機能が必要である。両機能とも、逆拡散回路というリソースにより機能実現するが、通常の通信機ではこれらは固定的な使用のされ方となる。

【0048】

これに対して本発明装置では、CPU 10-5 によるリソースマネージメントにより、一定周期あるいは、通信品質等に応じて RAKE 受信に用いている逆拡散リソースを、サーチ処理に廻せば、より少ない回路で高品質の通信を確保することが可能となる。あるいは、複数のコードチャネルを受信する CDMA 通信機

を考えた場合、コードチャネルの接続、切断に応じてリソースマネージャが、逆拡散回路リソース（CPU 10-5によるリソースマネジメントにより、ロジック回路 10-3の持つ逆拡散回路というリソース）をそれぞれのチャネルに割り当てることで、有限の逆拡散回路リソースで、複数チャネルのRAKE受信を実現することができるようになり、従って、このことにより、本発明では従来に比べて回路規模を削減することができるようになる。

【0049】

これらの処理はCPU、DSP共に同様に扱うことができる。これらのプロセッサの場合には、それぞれのプロセッサの持つ処理能力、あるいはMIPS値がリソースに該当しており、CDMA通信の例では、100[MIPS]の処理能力を持ったDSPで、1つの逆拡散処理に10[MIPS]を要したとすると、10の相関回路を持った場合と同様なリソースとして扱うことができる。

【0050】

CPU 10-5によるリソースマネジメント機能により実現するリソースマネージャは、無線端末の機能（RAKE受信、マルチパスサーチ、周辺セルサーチ、他チャネル受信等）を実現するために、DSPのリソースをその時点で要求される全機能に対し、無線機トータルのリソースを割り振る。

【0051】

例えば、トータルで15個分の逆拡散機能が要求されていたとして、そのうちの10個分の逆拡散処理を、ロジック回路 10-3に負担させ、残り5個分を50[MIPS]の処理能力をかけてDSP 10-1 or 10-2で実現する、といったことができる。

【0052】

これらの処理は、必ずしも同一システム内のリソースの配分によって実現する必要は無く、例えば、CDMAシステムであれば、複数のシステムで同様の機能要素（拡散／逆拡散、RAKE合成、誤り訂正）を、利用可能リソースとして扱い、リソースの組み合わせで複数のシステムに対応した無線機を実現する、といったこともできる。

【0053】

以上のような構成とすることで、自由度の高い端末構成として再構築可能な無線信号処理装置を実現することができ、装置コスト、開発期間を削減することが可能となる。他システムに対する適用といった面では、同一システムに限らず、例えば、CDMAとTDMA、TDMAとFDMA、FDMAとCDMA等、システム上共通要素があり、なおかつそれらが時間的に競合しない使用のされ方であれば、同様にリソースを配分を行うことで、再構築可能な端末を構成できる。

【0054】

また、無線信号処理装置10を用いた図12に示す構成の無線端末100は、上述した如きの無線信号処理装置10に加えて、送信すべき信号を無線信号化して送信し、受信した無線信号から受信信号を取り出す無線部10-6、無線信号処理装置10とのインタフェースをとるインターフェース10-7、プログラムや処理データ、電話帳などのデータベース等を保持するメモリ10-8、無線端末としての必要な各種制御を司るCPU 10-9、音声入出力のためのスピーカ／マイクロフォン10-10、動画像圧縮伸長処理を行うMPEGインターフェース10-11、シリアル入出力のためのインタフェースであるUSBインターフェース10-12、ダイヤルキー操作やファンクションキー操作、テキスト入力、編集操作などを行い、また着信情報やコンテンツ表示、メニュー表示などを画面上で実施する端末機構（キー、ディスプレイ等）10-13、内部伝送路であるバス10-14を設けて構成されている。

【0055】

無線送受信機のベースバンド部の設計においては、無線信号に近い部分、すなわち、無線部10-6より下層の段の構成要素であるサンプリングされた信号をデジタル処理したり、伝送データを変調してベースバンド信号を生成する部分の信号処理回路、いわゆるモデム部は本発明による無線信号処理装置10にて機能を実現している。この無線信号処理装置10は上述したように、プログラマブルに必要な処理機能を再構築できる構成である。

【0056】

従って、このような再構築可能な無線信号処理装置10でモデム部を実現した無線端末100の場合、モデム部は必要な処理機能を自由に再構築できるので、

無線端末 1 0 0 が異なる無線システムのサービスエリア間で移動して利用される場合に、それぞれの移動先で、無線電波の受信状態や無線チャネルの混雑度を加味して利用可能な最適無線システムを選択し、その最適無線システムに適合した無線通信端末として運用することができるようになり、無線通信に当たってのローミングやハンドオーバなどを可能にして、しかも、端末コスト、開発期間を削減できる効果を享受できるようになる。

【 0 0 5 7 】

図 3 は本発明の無線信号処理装置 1 0 に用いる汎用の CPU 1 1 に持たせる機能要素の例を示すものである。図 3 の構成においては、CPU 1 1 はプログラム実行を管理するプログラムシーケンサ (PS) 2 1 および算術演算処理を実行する算術演算ユニット (ALU) 2 2 を備えた構成としてある。

【 0 0 5 8 】

SPU 1 2 は、自己での処理の開始あるいは終了、またはプログラムされたシーケンスに則り、信号処理する装置であって、CPU 1 1 に対してトリガあるいは割り込み信号を伝送することも可能な構成としてある。CPU 1 1 では、SPU 1 2 からのトリガまたは割り込み信号を PS 2 1 部で検出し、SPU 1 2 の状態、例えば、“信号処理の終了”が変化したことを検知し、ALU 2 2 における処理を変化させることができる。

【 0 0 5 9 】

このような構成とすることで、CPU 1 1 と SPU 1 2 の協調動作が可能となり、処理を分担させて実施させることにより、複雑な演算を高速に実行することが可能となる。

【 0 0 6 0 】

＜信号処理ユニットの構成＞

図 4 は SPU 1 2 の構成例を示すブロック図である。図 4 に示すように、SPU 1 2 は、演算部 3 1 と、命令メモリ 3 2 と、データメモリ 3 3 と、入出力インターフェース 3 4 を具備する。

【 0 0 6 1 】

演算部 3 1 では、外部からの入力データ、メモリ 1 3 内のデータ及び CPU 1

1からの処理命令やデータを用い、“相関演算”、“複素数演算”、“配列変換”、“最大値検出”、“メモリのアドレス変換”、“シーケンサ”、“高速な入出力”といった複雑な処理を行うことができ、必要な信号処理ができる。処理結果は、データメモリ33、CPU11内のメモリやレジスタ内、メモリ13、入出力インターフェース14に書き込まれる。

【0062】

このような構成とすることで、信号処理に関してはそのための専用プロセッサであるSPU12に専門的に処理させることにより、CPU11で処理するには負担が重過ぎる無線信号処理を、CPU11に負担させることなく実行できるようになり、処理速度向上を図ることを可能にする。

【0063】

図5はSPU12のためのアドレス変換手段の一実施例を示すものである。RAM等のメモリは通常、情報を格納するレジスタ群（メモリセル群）と、どのレジスタ（メモリセル）に情報が書き込まれているかを記述するアドレスデコーダ部から構成される。通常のRAMでは書き込みアドレスデコーダと読み出しアドレスデコーダは同一内容であり、書き込んだアドレスを指定して読み出せば同じ内容の情報を取り出すことができる。

【0064】

一方、無線信号処理で用いられるビットインターリーブの様に、ビット順序を変換する処理を通常のRAMで実現する場合には、読み出し毎にアドレス計算を行う必要がある。ここで、書き込みアドレスデコーダと読み出しアドレスデコーダが異なるメモリがあれば、インターリーブの様な配列順序入れ替え処理を高速に行うことができる。

【0065】

図5においてメモリ40内のAD1（符号41）、AD2（符号42）がアドレス変換手段であり、この41、42はメモリ40のアクセスするレジスタ（メモリセル；アドレス空間に割り付けられて所定のそれぞれアドレスを持つ）のアドレス変換のための2種類のアドレスデコーダ（すなわち、41が第1アドレスデコーダ（AD1）42が第2のアドレスデコーダ（AD2））を持ち、SPU

(信号処理ユニット) 12からの命令によりデコード内容を切り替えることができるようになっている。

【0066】

第1及び第2のアドレスデコーダ(AD1, AD2)である41, 42は、それぞれ予め所要の変換パターンが書き込まれており、SPU12からの命令によりアドレスデコーダ41と42のうち、いずれか一方を選択することで、メモリ40でのアドレスデコード内容を切り替えることができる。

【0067】

このような命令対応のメモリアドレスデコード内容に切り替え可能な構成としたことにより、非常に処理量の多いビットインターリーブ等の配列変換処理を高速に実行することが可能な構成が実現できるようになる。

【0068】

なお、別の実施例としては、アドレスデコーダ41, 42をそれぞれ書き換え可能な構成、例えばRAMの様なデバイスとし、アドレス変換テーブルを書き込んでこのテーブルに従い、アドレスデコードする形態とするとともに、複数の変換パターンをアドレス変換テーブルとして別途用意してこれらの中から必要に応じて所望の変換パターンを選択してその選択したパターンにRAMのアドレス変換テーブルを書き換えてアドレス変換に供するようにすることにより、複数の変換パターンに対応できる構成とすることも可能である。そして、このような構成とすることで、様々なパターンに対応した柔軟な処理を簡易な構成で実現することが可能である。

【0069】

図6は、SPU12とCPU11との間のデータの授受をダイレクトに行うことができるようにした構成を持つ実施例である。

【0070】

この場合のCPU11はレジスタアレイ11aを有し、このレジスタアレイ11aはSPU12から直接、アクセスすることができる構成としてある。すなわち、SPU12は自己からの出力を直接、このレジスタアレイ11aに書き込むことができ、また直接、読み出すこともできる構成にしている。そして、C

PU11はこのレジスタアレイ11aの内容を取り込むことができると共に、このレジスタアレイ11aにデータを書き込むこともできるようにしてある。

【0071】

このような構成とすることで、CPU11はSPU12とのデータ授受にレジスタアレイ11aを利用できるようになるから、データ授受に当たっては相手方の動作状況と無関係に当該レジスタアレイ11aをアクセスすれば良いことになり、従って、CPU11におけるデータ転送の処理の進行をその分、速くすることができ、処理の高速化が可能となる。

【0072】

<データアクセス>

次に、図6の構成を適用してデータアクセスを高速化する本発明の無線信号処理装置10に関して少し触れておく。図7に示すように、この場合の本発明の無線信号処理装置10は、CPU11とSPU12と、メモリ13と、入出力インターフェース14とを具備した構成であるが、ここで用いるCPU11は図6の構造を持つものを採用しており、従って、CPU11は内部にレジスタアレイ11aを含んでいる。

【0073】

上述したように、このレジスタアレイ11aは、内部や外部からデータ等を直接書き込んだり読み出したりすることができるものであり、CPU11の現在の状況がデータ取り込みやデータ出力でなくとも、このレジスタアレイ11aに書き込むようにしたり、このレジスタアレイ11aから読み出すようにすることでCPU11の他からの規制を受けることなく、データ等の授受を可能にしている。

【0074】

そして、本発明装置では例えば、受信信号を処理する場合、CPU11を介さず、SPU12に、入出力処理を実施させるようにし、また、もし固定的な処理が必要であれば、その後の信号処理をも分担させるようにし、SPU12における処理結果をメモリ13またはレジスタアレイ11aに書き込むように動作させることができる。

【0075】

このような構成において、例えば、受信信号を処理する場合、入出力インターフェース14には受信サンプリング信号が入力されることとなる。そして、従来の構成のように、広帯域の無線信号をCPU11のみで受信処理する場合、CPU11では入出力の処理だけで演算能力の多くを費やすこととなり、その他の処理に対しては残りの能力しか振り向けることができなかったが、本発明装置ではCPU11を介さず、SPU12に、入出力処理を実施させるようになるので、入出力の処理はSPU12に負担させることが出来ることからCPU11の処理能力は他の処理に廻すことのできる十分な余力が確保できる。

【0076】

すなわち、受信の場合、入出力インターフェース14に取り込まれた受信サンプリング信号はSPU12に順次取り込ませ、その信号について固定的な処理が必要であれば、その後の信号処理をも含めて当該SPU12に所要の信号処理を実施させる。そして、当該SPU12における処理結果はメモリ13またはレジスタアレイ11aに書き込むようにSPU12を動作させるようにする。

【0077】

そして、CPU11にはこのメモリ13またはレジスタアレイ11aに書き込まれたデータを用いて必要な処理を実行させる。

【0078】

この結果、データ等の入出力処理と信号処理をSPU12に負担させるようになるので、その分、CPU11の負荷を軽減させることができるようになり、処理負荷が分散されることにより、システム全体として高速な無線信号処理が実施可能となる。

【0079】

なお、一層の負荷分散を図るために、汎用のプロセッサであるCPU11は複数設けてこれらCPUに分担させる処理をそれぞれに分散させるようにしてもよい。

【0080】

また、図7で説明した考え方は、以下に説明する第2乃至第5の各実施形態に

においても適用可能である。

【0081】

以上、説明したように、以上の実施例は、無線通信のモデム機能を担う信号処理装置において、信号処理用のリソースの一つとして位置付けられるプロセッサであって、モデムとしての所要の信号処理を信号処理内容に応じて分担させるべく、リソース管理を実施すると共に、このリソース管理により分担を指定された処理についてプログラムに基づいて信号処理を実施する少なくとも一つの汎用プロセッサと、信号処理用のリソースの一つとして位置付けられる信号処理専用のプロセッサであり、前記汎用のプロセッサによるリソース管理により分担を指定された処理についてその演算処理を実施する信号処理ユニットとを備えたことを特徴とするものである。

【0082】

そして、このような信号処理装置は、信号処理用のリソースの一つとして汎用のプロセッサと信号処理専用の信号処理ユニットとがあり、少なくとも一つの汎用のプロセッサにはリソース管理の処理を実施させて、モデムとしての所要の信号処理を信号処理内容に応じて各リソースに適宜に分担させるべく、リソース管理を実施させるようにし、そして、汎用のプロセッサにはこのリソース管理により分担を指定された処理について、与えられたプログラム対応に実施させ、また、信号処理ユニットに対しては前記汎用のプロセッサによるリソース管理により分担を指定された処理についてその演算処理を実施させるようにした。

【0083】

信号処理ユニットは信号処理のための専用の演算処理回路、または、プログラムにより所要の演算処理を実施するプロセッサ、あるいは両者により構成されるブロックであり、処理が特化されたプロセッサであるから同じ処理を実施させる場合に、汎用のプロセッサによるソフトウェア処理と比較すると演算処理が遙かに高速である。

【0084】

従って、例えば、処理負担が重く、しかも、高速処理が要求されるような処理を信号処理ユニットに分担させ、汎用のプロセッサにはあまり負担のかからない

処理を分担させるようにリソース管理させるようにすれば、処理の高速化が図れるようになるので、本発明によれば、このような無線信号処理装置を用いることにより無線機の送受信機能の設計に大きな自由度を持たせつつも、複雑かつ高速な無線信号の信号処理が可能になる。

【 0 0 8 5 】

特に、本発明の無線信号処理装置は、信号処理をプログラマブルに変更できるので、無線方式の異なる無線システム間での移動に対応してその移動先の無線システムに適合する信号処理が可能なソフトウェア無線機（再構築可能な無線端末）に適用してより有用である。

【 0 0 8 6 】

以上は、再構築可能な無線端末に搭載される無線信号処理装置の第一の実施例であり、上述した構成の無線信号処理装置により無線機の送受信機能の設計に大きな自由度を持たせつつも、複雑かつ高速な無線信号の信号処理が可能にするものであるが、このような効果は上述の第 1 の実施例の構成以外でも実現できる。その例を第 2 の実施形態として説明する。

【 0 0 8 7 】

（第 2 の実施形態）

図 8 は、本発明の無線信号処理装置 1 0 の第 2 の実施形態としての一例を示すブロック図である。図 8 に示すように、第 2 の実施形態における無線信号処理装置 1 0 は、回路構成記述メモリ 7 1 と、プログラムシーケンサ 7 2 と、プログラマブルロジックデバイス 7 3 と、メモリ 7 4 とから構成される。

【 0 0 8 8 】

これらのうち、プログラマブルロジックデバイス 7 3 は、PLDやFPGAなどの様にプログラマブルなハードウェアであって、演算処理の基本的な処理を実現する各種ロジック回路の集まりで構成されている。また、別の手法として、これら各種ロジック回路の組み合わせをスイッチによりプログラマブルに変更可能であって、プログラマブルにこれら各種ロジックを組み替えることで所要の演算処理機能を実現させる構成も可能である。

【 0 0 8 9 】

また、回路構成記述メモリ 71 は、プログラマブルロジックデバイス 73 における各種ロジック回路をプログラマブルに組み合わせることで所要の演算処理機能を実現させるための演算内容別回路構成記述を保持したメモリである。従って、プログラマブルロジックデバイス 73 は回路構成記述メモリ 71 にて与えられる回路構成記述対応に各種ロジック回路を組み替えて所要の組み合わせとなるように機能し、以て所要の演算処理機能を実現する。

【0090】

メモリ 74 は、処理させる演算の内容のプログラムを格納するものであり、プログラムシーケンサ 72 は、このプログラムに従って回路構成記述メモリ 71 およびプログラマブルロジックデバイス 73 をコントロールしてプログラム対応の演算処理を実施させるべく制御するものである。

【0091】

一般の CPU や DSP などのプロセッサにおいては、算術演算を行う ALU の部分の回路構成は固定であり、命令セット別にその命令セットによる処理内容を実現できるように、各命令セット対応の専用処理回路が組み込まれたかたちで ALU が構成されている。

【0092】

これに対し、本実施形態における無線信号処理装置 10 では、算術演算の回路構成を、再定義可能なプログラマブルロジックデバイス 73 で実現し、演算の定義を回路構成記述メモリ 71 上に記述しておく。

【0093】

この回路構成記述メモリ 71 は、通常の ALU に含まれる“4 則演算”、“データ転送”、“ビットシフト”といった基本的な処理以外に、例えば、“相関演算処理”や、“複素乗算処理”、“最大値検出処理”、“絶対値演算”等、通常のプロセッサが複数ステップかけて行う処理を実現するための回路構成を得るためのプログラムや、あるいは基本演算処理の組み合わせを示すプログラムを保持させるものであり、この回路構成記述メモリ 71 を用いることによって、演算の定義がなされる度にその演算が実施できるようにプログラマブルロジックデバイス 73 の回路構成を変化させることができる。

【0094】

メモリ74上のプログラム領域には、このような複雑な演算を用いたプログラムが記述されており、プログラムシーケンサ72のコントロールによるプログラムの実行とともに、必要に応じて算術演算の構成を定義し直す。

【0095】

このような構成の無線信号処理装置10は、算術演算の回路構成を、再定義可能なプログラマブルロジックデバイス73で実現し、このプログラマブルロジックデバイス73に与える演算の定義は回路構成記述メモリ71上に記述してあり、信号処理のためのプログラムはメモリ74のプログラム領域に記憶させてあり、プログラムシーケンサ72はこのメモリ74のプログラム領域に記憶させたプログラムに従って、回路構成記述メモリ71とプログラマブルロジックデバイス73に対しての制御を行い、プログラマブルロジックデバイス73の回路構成を、処理するプログラム内容対応に逐次組み替えつつ、必要なデータをこのプログラマブルロジックデバイス73に与えて演算処理させていく。

【0096】

このように、本実施例における無線信号処理装置10は、算術演算をハードウェア演算回路で実施するものであって、そのための算術演算の回路構成を、再定義可能なプログラマブルロジックデバイスで実現するようにしたプログラマブルなハードウェアを用いるようにしたものであるから、様々な演算処理に柔軟に対応でき、従って、このような無線信号処理装置を用いることにより無線機の送受信機能の設計に大きな自由度を持たせつつも、複雑かつ高速な無線信号の信号処理が可能になる。

【0097】

特に、本実施例によれば、算術演算の回路構成を、再定義可能なプログラマブルロジックデバイスで実現する方式であるから、ソフトウェアで処理する通常のプロセッサでは数十～数百ステップもあるような演算を数サイクル内で、また、様々な演算の定義に柔軟に対応することでき、しかも、高速な演算処理を実現することが可能となる。

【0098】

また、本実施例の無線信号処理装置を用いることで、信号処理をプログラマブルに変更できるので、無線方式の異なる無線システム間での移動に対応してその移動先の無線システムに適合する信号処理が可能なソフトウェア無線機（再構築可能な無線端末）に適用して有用である。

【0099】

（第3の実施形態）

図9は、本発明の信号処理装置10の更に別の実施形態を示す図である。図に示す如く、本実施例は、図8に示した第2の実施形態における無線信号処理装置10のように、回路構成記述メモリ71と、プログラムシーケンサ72と、プログラマブルロジックデバイス73と、メモリ74とを持ち、さらにこれらに加えて汎用のプロセッサ（CPU）75を設けて構成される。

【0100】

回路構成記述メモリ71、プログラムシーケンサ72、プログラマブルロジックデバイス73、およびメモリ74は、図8で説明したものと基本的には同じであるが、ここではプログラムシーケンサ72には更に、予め定めた複雑な処理はプログラマブルロジックデバイス73による算術演算回路で実施させ、また、通常の処理はCPU75で実施させるべく、処理内容対応に利用デバイスを選択する機能および並列処理可能な場合にはプログラマブルロジックデバイス73およびCPU75を同時に稼働させて並列処理させるべく制御する機能を持たせてある。

【0101】

このような回路構成とすることで、複雑な処理はプログラマブルロジックデバイス73による算術演算回路で行わせるようにし、また、通常の処理はCPU75で行わせるようにすると云った具合に、処理内容に応じて、並列に信号処理を行うことが可能となり、従って、一層高速な演算処理を実施可能となる。

【0102】

すなわち、この実施例で示した信号処理装置は、モデムとしての所要の信号処理を信号処理内容に応じて実施させるためのプログラムを保持した第1のメモリ（メモリ74）と、回路構成を定めるための回路構成記述を保持した第2のメモ

リ（回路構成記述メモリ 7 1）と、信号処理のための回路構成組み替え可能な演算処理回路であって所要の演算処理を可能にすべく、与えられる回路構成記述対応に回路構成を組み替えて演算処理に供するプログラマブルロジックデバイスと、信号処理にかかわる所要の各種処理プログラムを実行するプロセッサであって、モデムとしての所要の信号処理を、プログラムに従って実行する CPU 7 5 と、信号処理内容に応じて前記プログラマブルロジックデバイス 7 3 および CPU 7 5 に分担させるべく、前記第 1 のメモリのプログラムに従い演算処理の分担を決定すると共に、この決定に従い、前記第 2 のメモリの回路構成記述を選択してプログラマブルロジックデバイスに与え、且つ、当該プログラマブルロジックデバイスの演算処理実施を制御すると共に、前記 CPU に対しては当該 CPU に分担させる処理について実施の指示を与えるプログラムシーケンサと、を備える構成としたものである。

【 0 1 0 3 】

そして、このような構成においては、回路構成組み替えが可能なプログラマブルロジックデバイスと、このプログラマブルロジックデバイスの回路構成を定めるための回路構成記述を保持したメモリとがあり、更には、信号処理にかかわる所要の各種処理プログラムを実行する CPU（汎用のプロセッサ）があるが、無線通信のモデム機能を担うべく信号処理をするにあたっては、プログラムシーケンサ 7 2 はリソースマネジメントプログラムの実行により信号処理内容に応じて前記プログラマブルロジックデバイス 7 3 および CPU 7 5 に処理を分担させるべく、演算処理の分担を決定すると共に、この決定に従い、前記メモリ 7 1 の回路構成記述を選択してプログラマブルロジックデバイス 7 3 に与え、且つ、当該プログラマブルロジックデバイス 7 3 の演算処理実施を制御すると共に、汎用のプロセッサである CPU 7 5 に対しては当該 CPU 7 5 に分担させる処理についての実施の指示を与えることにより、モデムとしての所要の信号処理を分担処理させて実施するようにした。

【 0 1 0 4 】

この結果、複雑で汎用のプロセッサにての処理では負担が重過ぎる信号処理については信号処理専用の演算処理用回路であるプログラマブルロジックデバイス

を用いて処理させ、その他の処理は汎用のプロセッサであるCPUに処理させるように制御できるから、高速処理が可能で、しかも、汎用のプロセッサ（CPU）と信号処理専用のプログラマブルロジックデバイスを用いることから処理内容変更にも柔軟に対応できるようになり、設計変更に対しても容易に対応できて短時間に新製品開発をすることができるようになる効果が得られる。

【0105】

なお、本実施例はプログラマブルハードウェアによるリソースマネージメントの形態を記述したが、CPUによるリソースマネージメントも可能である。この場合、信号処理、データ処理の配分の主導権はCPU上のリソースマネージメントソフトが握ることになる。

【0106】

（第4の実施形態）

図10は本発明の信号処理装置10の更に別の実施例を示す図である。図に示すように、本実施例は、図8に示した第2の実施形態における無線信号処理装置10のように、回路構成記述メモリ71と、プログラムシーケンサ72と、プログラマブルロジックデバイス73と、メモリ74とを備えて構成される。

【0107】

ただし、図8の構成と異なる点は、プログラマブルロジックデバイス73を第1のプログラマブルロジックデバイス73aと第2のプログラマブルロジックデバイス73bの2系統にした点である。

【0108】

プログラマブルロジックデバイスを第1のプログラマブルロジックデバイス73aと第2のプログラマブルロジックデバイス73bの2系統にしたことにより、プログラムシーケンサ72にはこれら2系統のプログラマブルロジックデバイス73a、73bを所望に切り替えて分担使用させるべく制御する機能を設けている。

【0109】

このような構成とすることで、処理内容変更の一層の自由度を保ちつつ、より複雑な信号処理を実行することが可能な構成となる。

【0110】

なお、このような第4の実施形態における変形例として、プログラマブルロジックデバイスを第1のプログラマブルロジックデバイス73aと第2のプログラマブルロジックデバイス73bの2系統だけでなく、更に系統数を増やした2以上の複数のプログラマブルロジックデバイスを搭載する信号処理装置が考えられる。このような構成とすることで、更に複雑な信号処理を実行することが可能な装置となる。

【0111】

図11は第4の実施形態の更に具体的な説明図である。図の様に、本実施例の無線信号処理装置10は、プログラムメモリ11-1、制御回路11-2、SPU回路記述メモリ11-3、信号処理ユニット（SPU）11-4、レジスタ群11-5、SPU入力レジスタ群11-5、SPU出力レジスタ群11-7、メモリ11-8を有する。

【0112】

これらのうち、プログラムメモリ11-1は前記のメモリ74におけるプログラム領域に該当し、また、制御回路11-2は前記のプログラムシーケンサ72に該当し、また、SPU回路記述メモリ11-3は前記の回路構成記述メモリ71に該当し、また、信号処理ユニット（SPU）11-4は前記のプログラマブルロジックデバイス73に該当する。そして、命令やデータはSPU入力レジスタ群11-5を介して取り込み、レジスタ群11-5に渡してここで一時保持し、SPU出力レジスタ群11-7に送り出してここから信号処理ユニット（SPU）11-4に渡す構成としてある。

【0113】

また、メモリ11-8は前記のメモリ74におけるデータ領域に該当する。

【0114】

そして、このような構成において、今、例えば、プログラムメモリ11-1の中に以下のような処理プログラムが入っていたとする。

【0115】

$$a = A + B \quad \dots (i)$$

$$b = C \times D \quad \dots (ii)$$

$$(a, b) = (A, B) * (C, D) \quad \dots (iii)$$

ただし、上記 3 行の簡単な処理プログラムは、加算 (i)、乗算 (ii)、複素乗算 (iii) を示すものとする。なお、(,) でくくった部分は複素数の実部、虚部の要素をそれぞれ示す複素数とし、* は複素乗算を示すものとする。

【0116】

SPU 回路記述メモリ 11-3 内には、それぞれの演算を実現するための回路記述が記録されており、制御回路 11-2 はプログラムメモリ 11-1 に格納されたプログラムの内容に応じて、SPU 回路記述メモリ 11-3 をアクセスすることで、書き換え可能なデバイスでできている SPU 11-4 を書き換える。

【0117】

上述のプログラムの例では、SPU 11-4 の内部は、(i) 加算回路、(ii) 乗算回路、(iii) 複素乗算回路がそれぞれ構成されることになる。

【0118】

なお、信号処理としては、複素数を含めた加減乗除に限らず、相関処理や、MAX, MIN 判定等、回路記述可能であればどのような処理でも実現可能であり、非常に複雑な処理であるほどその処理用の専用のハードウェア構成に組み替えることによる演算処理の能率が向上するから、一層の高速処理効果が享受できるようになるなど、本実施例の効果が顕著となる。

【0119】

なお、本発明は上述した実施形態に限定されるものではなく、以上の実施形態を複数組み合わせることも可能である他、種々変形して実施可能である。

【0120】

たとえば、次の如きとすることもできる。

【0121】

本発明の無線信号処理装置は、複数のプロセッサと、メモリと、必要に応じて付加されるロジック回路を搭載し、プロセッサ上のリソースマネジメントソフ

トウェアからの指示により、プロセッサ内部の信号処理内容、ロジック回路の使用状況を切り替える構成としても良く、また、複数のプロセッサは個別にプログラミングされてそれぞれ異なる無線信号処理の役割を担い、それぞれのプロセッサは、信号処理に要求される性能に応じて種類、パラメータが選択されるようにしても良い。

このように、機能毎に役割分担させたプロセッサを用意して機能毎にプロセッサを変更することで、非常に負荷の重い信号処理と、頻繁な割り込み処理の様に相反する機能に対して、それぞれ適切なプロセッサに処理をさせることができ、無線端末としての効率を向上することができ、また、個別にプログラム開発が可能となるため、開発期間、コストを削減することが可能となる。

【 0 1 2 2 】

また、複数のプロセッサ上で実行されるそれぞれのプログラムは、無線通信品質、消費電力の要求、無線信号処理の種類に応じて、リソースマネージメントの管理によりプログラムパラメータあるいは、ロジック回路の使用状況が変更されるようにする。

【 0 1 2 3 】

このような構成とすることで、携帯端末に使用される L S I として低消費電力要求、高能力要求、他システムへの移行といった様々な状態の変化に速やかに適応することが可能となり、使用者の利便性向上を図ることができるようになる。

【 0 1 2 4 】

その他、本発明において、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得るものである。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも 1 つが解決でき、発明の効果の欄で述べられている効果の少なくとも 1 つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【 0 1 2 5 】

【発明の効果】

以上、説明したように、本発明によれば、無線機の送受信機能の設計に大きな

自由度を持たせつつも、複雑かつ高速な無線信号の信号処理が可能になる効果が得られる。

【 0 1 2 6 】

また、異なる無線システムへに対してもプログラミングで適応可能な無線端末の実現が可能となり、端末の開発期間短縮、コスト削減を実現することができる効果が得られる。

【図面の簡単な説明】

【図 1】

本発明を説明するための図であって、本発明の無線信号処理装置を用いた再構築可能な無線端末の構成を示すブロック図である。

【図 2】

本発明を説明するための図であって、本発明の無線信号処理装置の一実施例を示す図である。

【図 3】

本発明を説明するための図であって、本発明のマイクロプロセッサ部分の一実施例を示す図である。

【図 4】

本発明を説明するための図であって、本発明の信号処理ユニットの一実施例を示す図である。

【図 5】

本発明を説明するための図であって、本発明の信号処理ユニットの機能の一実施例を示す図である。

【図 6】

本発明を説明するための図であって、本発明の無線信号処理装置の機能の一実施例を示す図である。

【図 7】

本発明を説明するための図であって、本発明の信号処理ユニットの機能の一実施例を示す図である。

【図 8】

本発明を説明するための図であって、本発明の無線信号処理装置の別の実施例を示す図である。

【図 9】

本発明を説明するための図であって、本発明の無線信号処理装置の別の実施例を示す図である。

【図 1 0】

本発明を説明するための図であって、本発明の無線信号処理装置の別の実施例を示す図である。

【図 1 1】

本発明を説明するための図であって、本発明の無線信号処理装置の別の実施例を示す図である。

【図 1 2】

本発明を説明するための図であって、本発明の無線信号処理装置を用いた無線端末構成を示す図である。

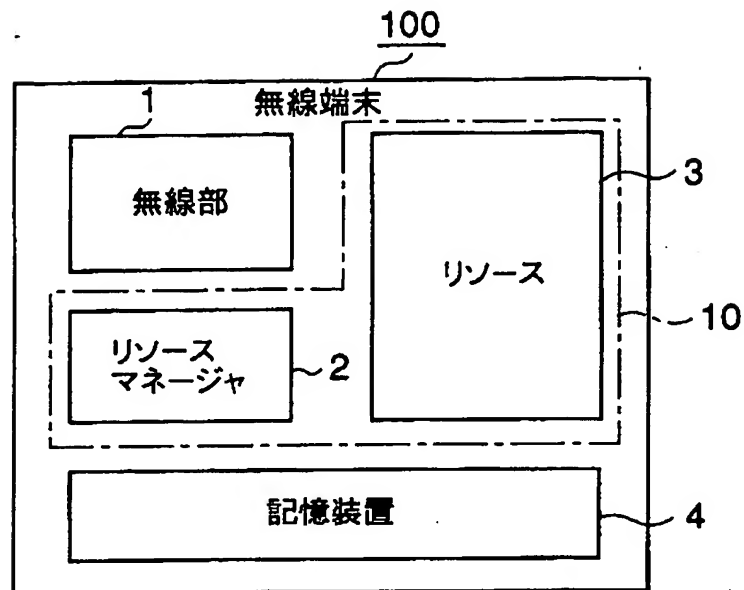
【符号の説明】

- 1 …無線部
- 2 …リソースマネージャ
- 3 …信号処理リソース
- 4 …記憶装置
- 1 1 …マイクロプロセッシングユニット (CPU)
- 1 1 a …レジスタアレイ
- 1 2 …信号処理ユニット (SPU)
- 1 3, 7 4 …メモリ
- 1 4 …入出力インターフェース
- 2 1 …プログラムシーケンサ
- 2 2 …算術演算ユニット (ALU)
- 3 1 …演算部 (算術演算アレイ)
- 3 2 …命令メモリ
- 3 3 …データメモリ

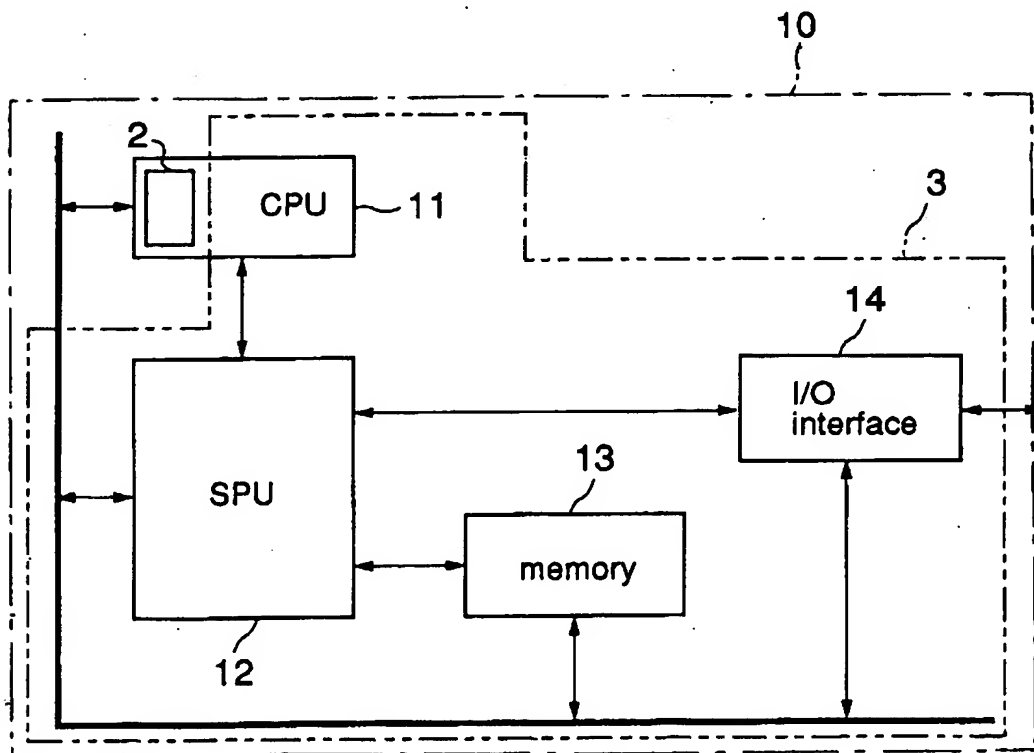
34…入出力インターフェースユニット
43, 44…アドレスデコーダ
71…回路構成記述メモリ
72…プログラムシーケンサ
73…プログラマブルロジックデバイス
10-0…無線信号処理装置
10-1, 10-2…DSP (デジタルシグナルプロセッサ)
10-3…ロジック回路
10-4, 10-8…メモリ
10-5, 10-9…CPU
10-6…無線部
10-7…インターフェース
10-10…スピーカ, マイクロフォンインターフェース
10-11…MPEGインターフェース
10-12…USBインターフェース
10-13…端末機構インターフェース
11-1…プログラムメモリ
11-2…制御回路
11-3…SPU回路記述メモリ
11-4…信号処理ユニット
11-5…レジスタ群
11-6, 11-7…レジスタ
11-8…メモリ

【書類名】 図面

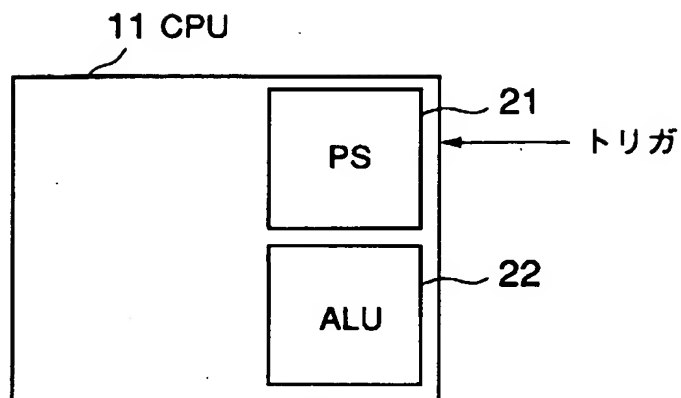
【図 1】



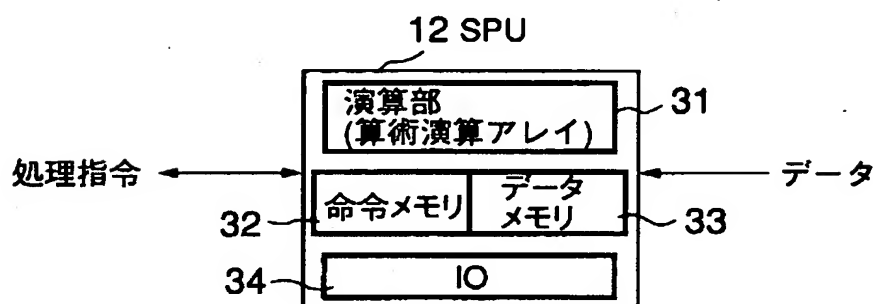
【図 2】



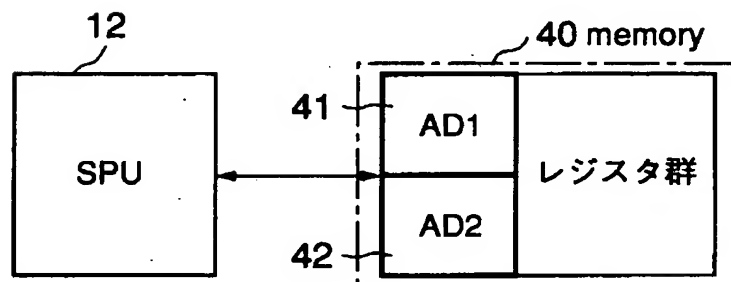
【図3】



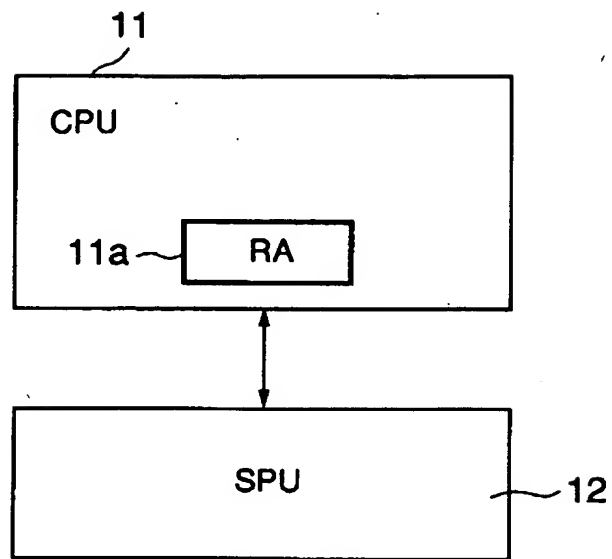
【図4】



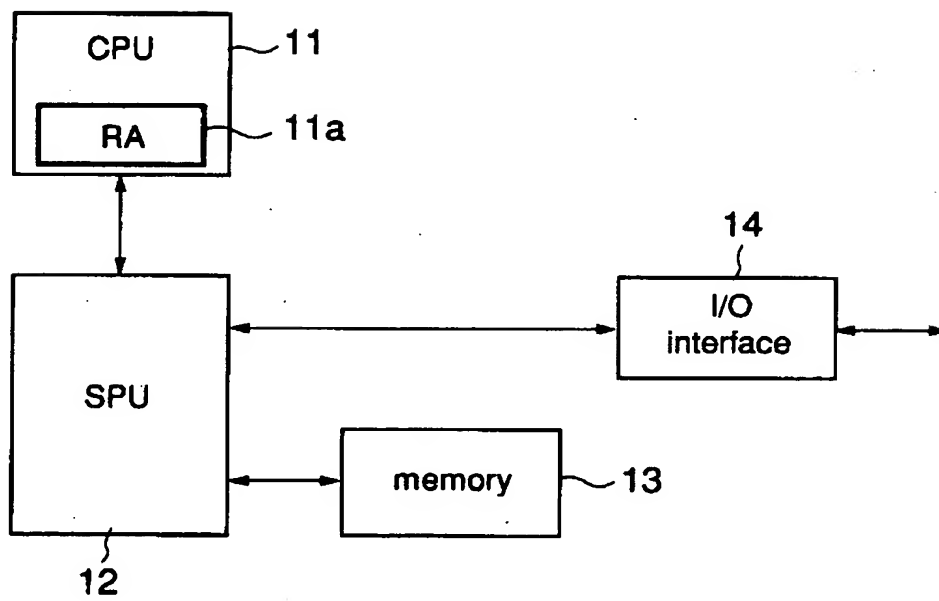
【図5】



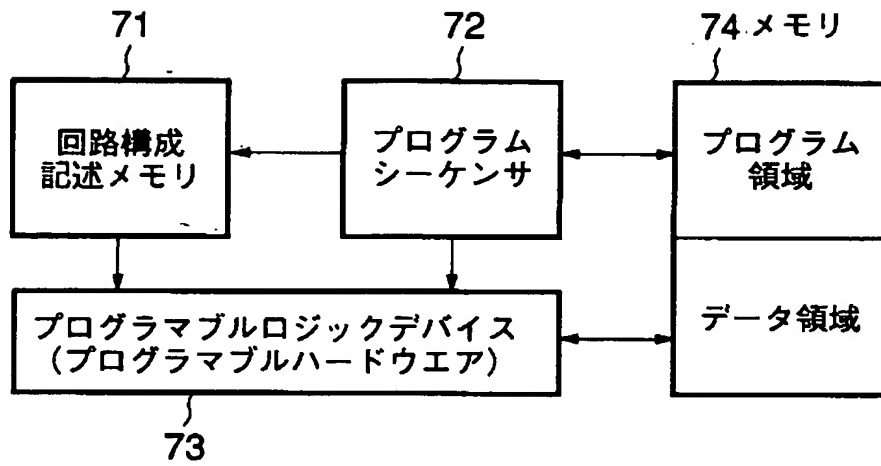
【図 6】



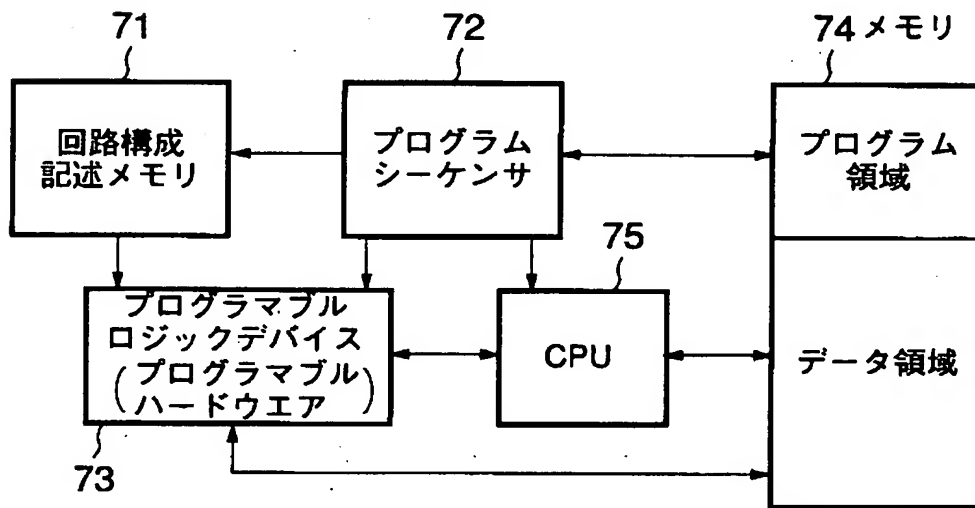
【図 7】



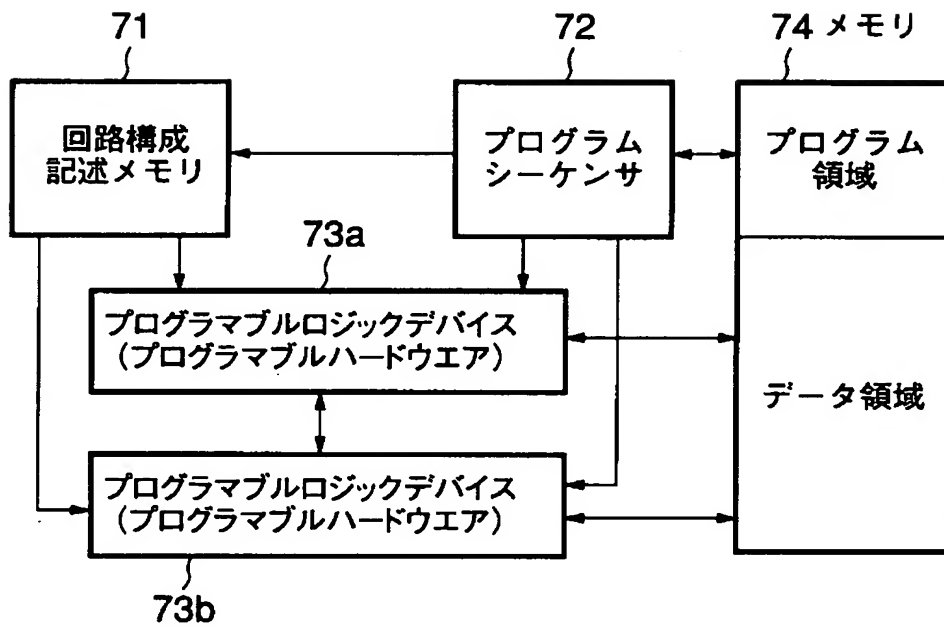
【図 8】



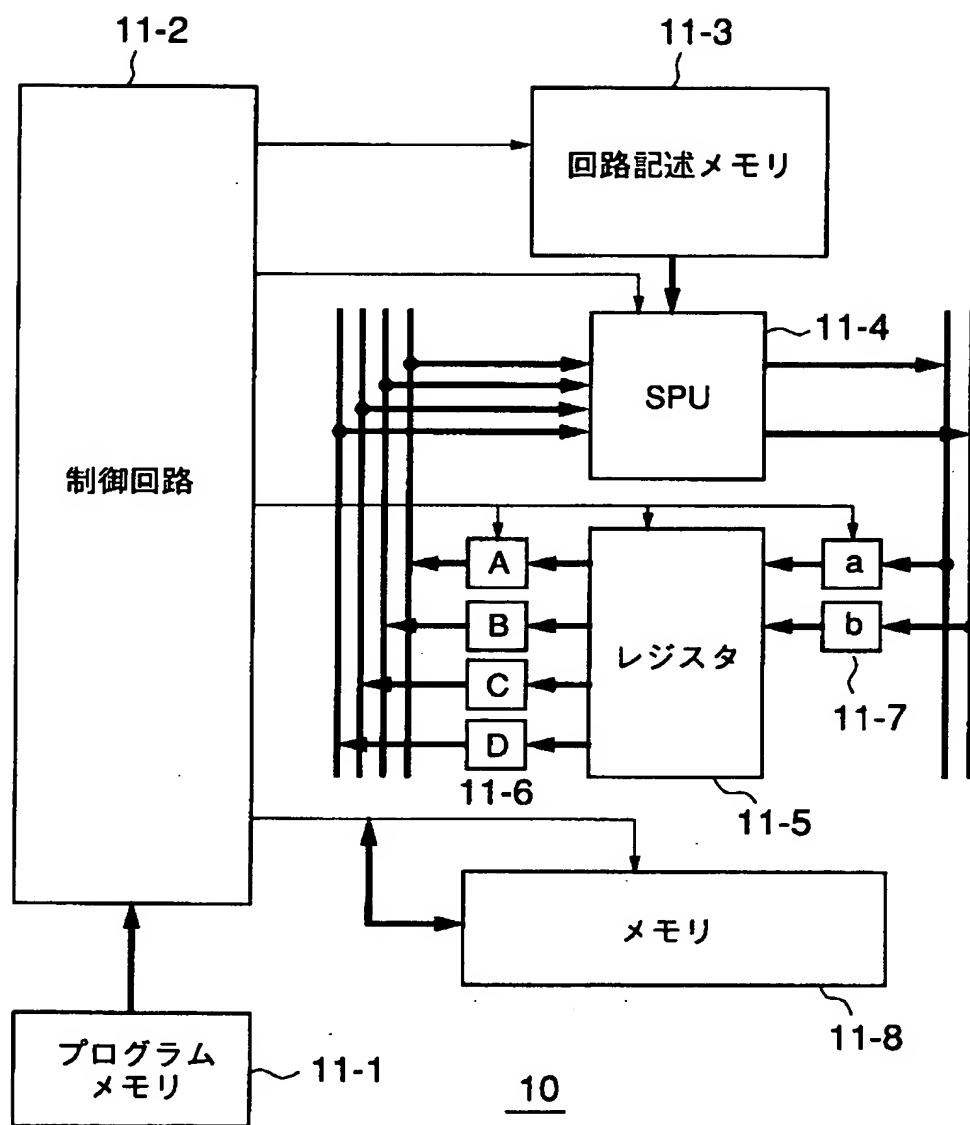
【図 9】



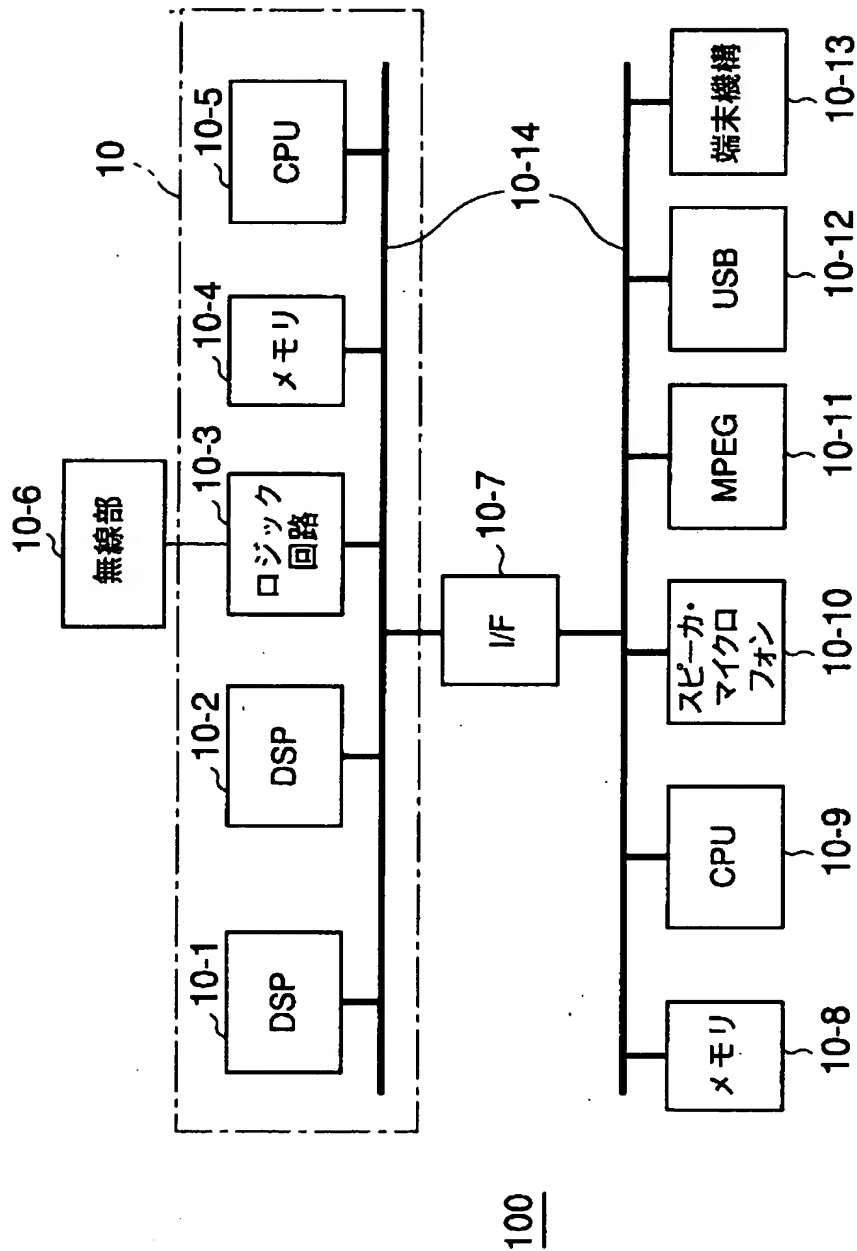
【図 1 0】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 端末無線ベースバンド部設計変更に要する時間やコストを低減する。

【解決手段】 無線通信のモデム機能を担う信号処理装置において、信号処理用のリソースとしてのプロセッサであって、リソース管理機能を有して所要の信号処理を信号処理内容に応じて分担させるべく、リソース管理を実施すると共に、このリソース管理により分担を指定された処理についてプログラム対応に実施する少なくとも一つの汎用プロセッサ 1 1 と、信号処理用のリソースとしての演算処理用回路であってプログラム対応に演算処理することにより所要の演算結果を得るものであり、前記汎用プロセッサによるリソース管理により分担指定を受けた処理についてその演算処理を実施する信号処理ユニット 1 2 とを備える。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝
2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝